

PCTWORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁵ : G06F 1/32	A1	(11) International Publication Number: WO 93/20498 (43) International Publication Date: 14 October 1993 (14.10.93)
(21) International Application Number: PCT/JP93/00418 (22) International Filing Date: 30 March 1993 (30.03.93) (30) Priority data: 07/860,717 31 March 1992 (31.03.92) US (71) Applicant: SEIKO EPSON CORPORATION [JP/JP]; 4-1, Nishi-Shinjuku 2-chome, Shinjuku-ku, Tokyo 163 (JP). (72) Inventor: LIN, Chong-Ming ; 1763 Park Lane, Sunnyvale, CA 94087 (US). (74) Agents: SUZUKI, Kisaburo et al.; Seiko Epson Corporation, 4-1, Nishi-Shinjuku 2-chome, Shinjuku-ku, Tokyo 163 (JP).		(81) Designated States: JP, KR, European patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>With international search report.</i>
(54) Title: SELECTIVE POWER-DOWN FOR HIGH PERFORMANCE CPU/SYSTEM (57) Abstract A microelectronic device according to the present invention is made up of two or more functional units, which are all disposed on a single chip, or die. The present invention works on the strategy that all of the functional units on the die are not, and do not need to be operational at a given time in the execution of a computer program that is controlling the microelectronic device. The present invention on a very rapid basis (typically a half clock cycle), therefore, turns on and off the functional units of the microelectronic device in accordance with the requirements of the program being executed. This power down can be achieved by one of three techniques: turning off clock inputs to the functional units, interrupting the supply of power to the functional units, or deactivating input signals to the functional units. The operation of the present invention results in a very significant reduction in power consumption and corresponding heat dissipation by the microelectronic device as compared to the conventional approach of keeping all functional units operational all of the time. <div style="text-align: right;">BEST AVAILABLE COPY</div>		

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平7-505244

第6部門第3区分

(43)公表日 平成7年(1995)6月8日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I
G 0 6 F 1/32			
1/04	3 0 1 C	7323-5B	
		7323-5B	
			G 0 6 F 1/ 00 3 3 2 B

審査請求 未請求 予備審査請求 有 (全 13 頁)

(21)出願番号 特願平5-517307
 (86)(22)出願日 平成5年(1993)3月30日
 (85)翻訳文提出日 平成6年(1994)9月28日
 (86)国際出願番号 P C T / J P 9 3 / 0 0 4 1 8
 (87)国際公開番号 W O 9 3 / 2 0 4 9 8
 (87)国際公開日 平成5年(1993)10月14日
 (31)優先権主張番号 8 6 0 , 7 1 7
 (32)優先日 1992年3月31日
 (33)優先権主張国 米国 (US)
 (81)指定国 E P (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), J P, KR

(71)出願人 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72)発明者 リン チョン ミン
 アメリカ合衆国 94087 カリフォルニア
 州 サニーバール, ラークレーン 1763
 (74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 高性能CPU/システム用の選択的パワーダウン

(57)【要約】

本発明によるマイクロエレクトロニック装置は二個以上の機能ユニットで構成され、これらの機能ユニットは単一のチップすなわちダイ上に形成されている。本発明は、マイクロエレクトロニック装置を制御するコンピュータ・プログラムの実行に於いて、全ての機能ユニットが同時に動作することではなく、またそれらが同時に動作する必要もない、という着想に基づいている。従って、本発明は、実行中のプログラムの要請に従って、非常に高速に(クロックサイクルの半分で)各機能ユニットをつけたり消したりさせるものである。このパワーダウンは三つの手法で可能である。すなわち、機能ユニットへのクロック入力をオフにする手法、機能ユニットへの電源を中断させる方法、及び機能ユニットへの入力信号を停止させる手法である。本発明の作用により、従来の全ての機能ユニットを常時オンにして置く手法に比較し、マイクロエレクトロニック装置の電力消費量が著しく改善され、それに応じて発熱量も低下する。

請求の範囲

1. マイクロエレクトロニクス装置の電力消費と発熱を減少させるシステムであって、前記マイクロエレクトロニクス装置がクロック部で生成されたクロック信号で制御される少なくとも二つの機能ユニットを含み、前記システムが
- (a) ソースコードをマシンコードに翻訳し、且つマシンコード命令の実行に関連してオペレーションを行なうために各機能ユニットを使用する必要性を、事前に選択されたサイクルに基づいて判別する、コンパイラ手段と、
 - (b) 機能ユニットおよびクロック部に結合され、マシンコードと通信し、前記の事前に選択されたサイクルごとのクロック信号が、マシンコードの実行に関連してオペレーションを実行するのに必要である機能ユニットにのみ供給されるように、クロックサイクルの供給を制御する論理手段、
- とで構成されることを特徴とするシステム。

2. マイクロエレクトロニクス装置の電力消費と発熱を減少させるシステムであって、前記システムが、
- (a) システムクロック信号を生成するクロック手段と、
 - (b) マシンコード命令のソースと、
 - (c) 前記マシンコード命令の第一グループを実行する第一機能ユニットと、
 - (d) 前記マシンコード命令の第二グループを実行する第二機能ユニットと、
 - (e) 前記第一機能ユニットが前記第一グループのマシンコード命令を実行している時と著しく重なる期間にのみ、前記システムクロック信号が前記第一機能ユニットに供給されるようにさせる論理手段であって、前記第二機能ユニットが前記第二グループのマシンコード命令を実行している時と著しく重なる期間にのみ、前記システムクロック信号が前記第二機能ユニットに供給されるようにさせる論理手段、
- とで構成されていることを特徴とするシステム。

機能ユニットへの電力の供給を制御する論理手段であって、前記の事前に選択されたサイクルに基づく電力が、前記マシンコードの実行に関連してオペレーションを実行するのに必要な各機能ユニットにのみ供給されるような論理手段、

とで構成されることを特徴とするシステム。

5. 特許請求の範囲第4項記載のシステムにおいて、前記検査手段が、ソースコードを前記論理手段で解釈可能なマシンコードに翻訳するコンパイラ手段で構成されていることを特徴とする前記システム。

6. 特許請求の範囲第4項記載のシステムにおいて、前記検査手段が、命令を直ちに解釈し、解釈された情報を前記論理手段に供給する命令デコード部で構成されることを特徴とするシステム。

7. マイクロエレクトロニクス装置の電力消費と発熱を減少させるシステムであって、前記マイクロエレクトロニクス装置がそれぞれの入力信号を受信する少なくとも二つの機能ユニットを含み、前記システムが、

- (a) マシンコード命令の実行に関連してオペレーションを実行するために各機能ユニットの使用の必要性を事前に選択されたサイクルに基づいて判別する検査手段と、
- (b) 前記検査手段と、該当するそれぞれの入力信号と、該マシンコード命令の実行に関連してオペレーションを実行するために必要な各機能ユニットに結合されている、一個以上の入力スイッチと、
- (c) 前記検査手段、該当する必要な機能ユニット、および前記の一個以上の入力スイッチに結合され、該マシンコードと通信する論理手段であって、該当する必要な機能ユニットに対してのそれぞれの入力信号の起動と停止を制御し、且つマシンコードの実行に関連してオペレーションを実行するのに必要な各機能ユニットが前記の、事前に選択されたサイクルに基づいてのみ実行するように起動されるような論理手

3. マイクロエレクトロニクス装置の、少なくとも二つの機能ユニットの各ユニットへのシステムクロック信号の供給を制御するシステムであって、前記システムがマシンコード命令の流れに応じて、

- (a) 前記機能ユニットの内どの機能ユニットがマシンコード命令を実行するかを判別するために、マシンコード命令の実行以前、事前に選択されたシステムクロックサイクル分前に、各マシンコード命令を検査する検査手段と、
 - (b) 前記検査手段に結合された第一論理手段であって、前記の実行以前に、且つ事前に選択された量のシステムクロックサイクル前に、該当するマシンコード命令を実行する前記の機能ユニットに前記システムクロックを供給する、第一論理手段と、
 - (c) 前記検査手段および前記第一論理手段に結合された第二論理手段であって、前記の実行によって必要とされる期間の間のみ該当するマシンコード命令を実行する前記の機能ユニットに、前記システムクロックを供給させ、斯くして前記マイクロエレクトロニクス装置の電力消費と発熱を減少させる、第二論理手段、
- とで構成されていることを特徴とするシステム。

4. マイクロエレクトロニクス装置の電力消費と発熱を減少させるシステムであって、前記マイクロエレクトロニクス装置が、スイッチ的に電源に結合されている少なくとも二つの機能ユニットを含み、前記システムが

- (a) マシンコード命令の実行に関連して、オペレーションを実行する各機能ユニットの使用の必要性を事前に選択されたサイクルに基づいて判別する検査手段と、
- (b) 前記検査手段と、電源と、マシンコード命令の実行に関連してオペレーションを実行するのに必要な各機能ユニットに結合されている、一個以上の電源スイッチと、
- (c) 前記検査手段、該当する必要な機能ユニット、及び前記の一個以上の電源スイッチに結合され、マシンコードと通信し、該電源から必要な

段、

とで構成されることを特徴とする前記システム。

8. 特許請求の範囲第7項記載のシステムにおいて、前記検査手段が、ソースコードを前記論理手段で解釈可能なマシンコードに翻訳するコンパイラ手段で構成されていることを特徴とする前記システム。

9. 特許請求の範囲第7項記載のシステムにおいて、前記検査手段が、命令を直ちに解釈し、解釈された情報を前記論理手段に供給する命令デコード部で構成されていることを特徴とする前記システム。

10. マシンコード命令の流れの中から一つのマシンコード命令を実行することに関連して、機能ユニットがオペレーションを実行する必要がある場合にのみその機能ユニットに電流を流させることによって、複数の機能ユニットを含むマイクロエレクトロニクス装置の電力消費と発熱を減少させる方法であって、斯かる方法が

- (1) 各マシン命令を実行するためにどの機能ユニットが必要になるかをマシン命令方式によるマシン命令に基づいて判別するために、マシンコード命令の流れを評価するステップと、
- (2) 実行以前の、事前に選ばれたサイクル時間の長さで、該オペレーションを実行するそれらの機能ユニットに電力を供給するステップと、
- (3) 前記のマシン命令の実行に必要な期間だけ、ステップ(2)に従って電力の供給を継続するステップと、
- (4) 各マシンコード命令ごとにステップ(1)-(3)を繰り返す、斯くしてマイクロエレクトロニクス装置の電力消費と発熱を減少させるステップ、

とで構成されていることを特徴とする前記方法。

11. 特許請求の範囲第10項に記載の方法において、電力を供給するステップ(2)

および (3) が機能ユニットに電源電圧を供給するステップで構成されていることを特徴とする前記方法。

12. 特許請求の範囲第10項に記載の方法において、電力を供給するステップ (2) および (3) が機能ユニットの入力を変化させるステップで構成されていることを特徴とする前記方法。

13. 特許請求の範囲第10項に記載の方法において、電力を供給するステップ (2) および (3) が機能ユニットにシステムクロック信号を供給するステップで構成されていることを特徴とする前記方法。

高性能 CPU/システム用の選択的パワーダウン

関連出願の引取

下記の出願は同一承継人の出願に係る、同時係属中の出願特許である。

・「スーパースカラ RISC 命令スケジューリング」、出願番号 07/860,719号 (代理人管理番号 SP035)

・「ハードウェア・エミュレーション・アクセラレータ及び方法」、出願番号 07/831,272号 (代理人管理番号 SP046)

上記出願特許の開示は参考文献として本出願に組み込まれているものとする。

発明の要旨

1. 産業上の利用分野

本発明は一般に単一のマイクロエレクトロニクス装置による発熱及び電力消費を削減させるシステム及び方法に関するものであり、特に、所かるマイクロエレクトロニクス装置による電力消費の動的な制御及び、その結果として所かるマイクロエレクトロニクス装置に必要とされる発熱処理に関するものである。

2. 関連技術

マイクロエレクトロニクス装置 (半導体デバイス、半導体チップ、または集積回路とも呼ばれる) の発熱処理はその設計、製造、及び使用上重要な問題である。これは典型的には百万個以上のトランジスタ (アクティブとパッシブ) が一つの半導体ダイに集積された超集積回路 (VLSI) および超超集積回路 (ULSI) デバイスに於いて特に重要な問題である。アクティブなデバイスは必要なシステムの機能性と実行速度を可能とするために通常非常に高速で動作する (クロックで駆動され) (25 MHz と 33 MHz は今や普通で、例えば 250 MHz 以上の非常に

高速も考えられている) のものである。

どのような製造技術が利用されたかという点とは無関係に、周知の如く、高クロックレートおよび多数のアクティブ・デバイスにより、マイクロエレクトロニクス装置のダイの実際の寸法に比し、大きな発熱の問題が生じるのである。例えば、百万個のアクティブ・デバイスを含む代表的なダイは 15 mm 角のダイで作成され、132 以上のピンアウトを必要とする。所かるマイクロエレクトロニクス装置は 1 マイクロン (1 μm) CMOS 技術では 30 MHz のシステムクロック速度で動作し得るものである。

ダイは適切なハウジングまたはパッケージに恒久的に収められてはならないが、所かるハウジングまたはパッケージは、ピンアウト、環境保護、物理的な保護の他に、デバイスの故障の防止のために十分な発熱処理能力を持つものでなければならない。

通常の動作に於いて上記のマイクロエレクトロニクス装置一個当たり、5乃至10ワットの処理を要する発熱が生じることは希でない。その結果、熱のシートの設置なしには、所かるマイクロエレクトロニクス装置のダイの接合温度はセラミックパッケージで、そして商業用環境温度許容範囲の上限近くである摂氏 70 度では、摂氏 100 度に達することがある。更に、紀元 2000 年までに出現が予想される、一個のダイ当たり 1 億個のアクティブデバイスを含む、更に強力な、新しい世代のマイクロエレクトロニクス装置の発熱処理要求に比べれば 5乃至10ワットの発熱量はもの数にもならないのである。将来のダイの寸法は 25 mm 角になるであろうと予想される。

多量の発熱に対処するためのパッケージ作成の手法が開発されてきた。全ての方面に於いて、マイクロエレクトロニクス装置を物理的な故障及び性能の劣化から保護するために、不要な熱を迅速に引き出すためのヒートシンクまたは熱グリース措置が取られている。通常のヒートシンク以外に、空気などのガス、あるいは水、フロン、または更に効率的な冷却剤などの液体が使用されるが、ヒートシンク手法は物理的なサイズの増大、コストの増加、機械的複雑さの増加、及びパッケージとしてのマイクロエレクトロニクス装置の重量の増加を要す。更に、発熱処理 (すなわち熱応力) の必要上、パッケージ当たりのダイの寸法に自

ずから上限が生ずるのである。

発熱処理要求の代表的なものは 50 MHz のクロック速度で動作する通常のマイクロプロセッサで、それは通常の動作で 5 ワットの発熱を生じる。この発熱処理のために特別なヒートシンクが設置されている。

エレクトロニクス上の絶えざる動向は、より小さく、より軽量のコンピュータ製品の製造を目指してのマイクロエレクトロニクス装置のサイズ削減である。この微小化の傾向は更に速く、毎年劇的なサイズの削減が起こるのである。

発熱処理の要請はしかし乍らエレクトロニクス及びコンピュータ装置の微小化の過程に於いて障害となる。換言すれば、マイクロエレクトロニクス装置からの発熱を取り除かなければならない物理学上の要請により、達成し得るエレクトロニクス及びコンピュータ装置のサイズ及び重量をどこ迄削減し得るか、について自ずから限度が生ずるのである。そして、これはマイクロエレクトロニクス装置の寿命にも関連する問題である。例えば、ソリッドステート・レーザの寿命が LED の寿命より短いのは、小面積に於ける熱の密度が原因である。

エレクトロニクスでの更なる顕著な動向は、エレクトロニクス及びコンピュータ装置に於ける機能及び特性の増加と、それに伴う応答時間の短縮である。これは更に複雑で強力なマイクロエレクトロニクス装置の使用により達成されるもので、ダイ一個当たりのアクティブ・デバイスの集積度の向上の結果である。併し、ダイ上に更に多数のアクティブ・デバイスを形成するには、発熱処理の必要の増加が伴い、従って、達成し得るマイクロエレクトロニクス装置パッケージのサイズ削減に自ずから限度が生じる。例えば、DEC のアルファ CMOS チップでは、電源電圧を低下させても 200 MHz で 30 ワットもの発熱があるという。

その計算能力、機能、および特性に比し、マイクロエレクトロニクス装置の物理的なサイズの劇的な削減は、ラップトップ、ノートブック、パームトップ等と呼ばれる非常に小型のパソコンを生むに至った。これは、現行の、強力な機能と特性を持つコンピュータのサイズ縮小の典型的な例である。

386SX マイクロプロセッサ内蔵の、代表的携帯用コンピュータの寸法は 30 センチ x 40 センチで、その重量は 6.7 キロであり、そのうち 450 グラムは充電可能な電池の重量である。今日の代表的な、386SXL 型マイクロプロセッサ内

風ラップトップ・コンピュータの寸法は $20 \times 27 \times 5$ センチで、その重量は 2 乃至 3 キロである。このうち約 200 グラムが充電可能な電池の重量である。

斯かるノートブックコンピュータ（及びラップトップあるいはパームトップコンピュータ）の重要な制約事項の一つはその機械の駆動に必要な電池である。電池は使用者の要求を満たすためにコンピュータを長時間に渡って駆動するのに十分な電力を供給するものでなければならない。現在のノートブックコンピュータの代表的な駆動範囲は一回の充電ごとに 3 乃至 4 時間である。

重量とサイズの点で、電池はコンピュータ・システムの最大の部品の一つである。使用者にとって、必要なコンピュータ操作が十分な時間行なえるように電池の電力容量が十分に大きいものであることは極めて重要である。併し、この操作性の必要から、コンピュータ・システム全体のサイズが増加するのである。その理由は、これらの要求を満たすために電池の物理的サイズを拡大させる必要があるからである。

故に、所定のサイズと重量当たり更に効率的な電池を開発するために多大な研究開発の努力が為されている。その目的は、所定のサイズとスペース当たりより多くの電力とより長時間の操作を可能ならしめるために、充電容量の面に於いて電池技術の向上を図ることである。その結果、電池を使用するコンピュータ・システムのサイズの削減につながるものである。

電池のサイズ削減以外に、電力消費の点でコンピュータ・システムの性能を向上させる努力が多々為されている。インテル社によって使用された従来の手法の一つは、使用されていない周辺チップの電源を止めることである。これはインテル 80386 チップセットで行なわれている手法である。周辺チップは非常に電力を消費するものである故に、使用されていない周辺チップの電源を止めることによって電池の寿命が著しく向上するのである。

AMD の AM386DXL マイクロプロセッサで実施されている更なる手法では、省電のためにクロック速度を下げることである（例えば 40-0 MHz より）。

上記に説明された如く、マイクロエレクトロニクス装置の発熱及び電力消費量の格段なる向上が必要とされている。そしてこれはマイクロエレクトロニクス装置がコンピュータ・システムで使われる時に、パッケージのサイズ及び複

雑性を削減し、マイクロエレクトロニクス装置を電子的に駆動させる目的で電池が使用される場合、システムの操作時間を増加するために特に切実な問題である。

発明の要約

本発明に関わるマイクロエレクトロニクス装置は二個以上の機能ユニットで構成され、それらの機能ユニットは全て一個のチップ、すなわちダイ上に形成されている。本発明はマイクロエレクトロニクス装置を制御するコンピュータ・プログラムの実行に於いて、全ての機能ユニットが同時に動作することではなく、またそれらが同時に動作する必要もない、という着想に基づいているものである。従って、本発明は、実行中のプログラムの要請に従って、非常に高速に（通常クロックサイクルの半分で）各機能ユニットをつけたり消したりさせるものである。本発明の作用により、従来の全ての機能ユニットを常時オンにして置く手法に比較し、マイクロエレクトロニクス装置の電力消費量が著しく改善され、それに応じて発熱量も低下するのである。

コンピュータ・プログラムの実行中全ての機能ユニットを常時オンにして置く従来の標準的手法に比較し、本発明の、本明細書で説明される代表的実施例では電力消費量と発熱量が 30% 削減されるのである。マイクロエレクトロニクス装置のアーキテクチャ及び実行されるコンピュータ・プログラムの種類によって、0% 乃至 50% の削減が達成し得るのである。スーパースカラ CPU に比して、より多くのブロックがより頻繁に遊休状態にあるため、単一スカラ CPU に於ける削減度は低い。

機能ユニットが更に細かいブロックに分割されるならば、そしてスイッチングを行なうために必要な制御論理によるオーバーヘッドの増加が甚大なものではないと仮定するならば、更に多くのパーセントのユニットまたはブロックをオフとすることが可能である。

マイクロエレクトロニクス装置の機能ユニットを何時つけたり消したりするか、を判別するために本発明では幾つかの手法が採用されている。一つの手法では、ソースコードをマイクロエレクトロニクス装置のオペレーションを制御す

るマシンコードに翻訳するコンパイラが使用されている。実行中、論理ユニットがマシンコードを評価し（即ち、解説または監視）、コンパイラから得られた利用度情報に基づき、コンピュータ・プログラムの実行の各ステップに於いて、どの機能ユニットがプログラムの実行のために必要であるか、そして従ってどの機能ユニットがオンあるいはオフされるべきか、を判別するのである。例えば、非グラフィック・オペレーションの実行中はグラフィック・ユニットの駆動は必要でないかも知れないのである。同じく、通常のワークステーションでは浮動小数ユニット（FPU）は実行時間の 20% 乃至 30% のみ動作するもので、その遊休期間中はオンである必要はない。キャッシュメモリユニットも本発明に基づく制御でコントロールし得るものである。

機能ユニットを何時つけたり消したりするか、を判別する目的で本発明で採用されているもう一つの手法は、機能ユニットの実行とオペレーションを評価（監視）するダイ上の論理ユニットを使用して行なわれる手法である。この監視機能は次のオペレーション（送出された命令の実行及び遅延を含む）の指示を生成するもので、そのような指示を使用して本発明のオン/オフ オペレーションの制御が可能である。例えば、コンパクトな低コスト、オンチップ FPU では、衝突の可能性の故に、全てのユニットを同時に使用することは不可能である。FALU オペレーションの実行中、乗算器や除算器の動作は許可されない。従って、それらのユニットへ供給される電力を止めても構わないのである。

実行中のコンピュータ・プログラムの要請に応じて、本発明では機能ユニットのオン/オフのためにどのような適切な、事前に選択された時間量でも使用できる。必要ならば最大の発熱量及び電力消費量削減を得るためにオン/オフは $1/2$ クロックサイクルの速度でも構わないが、オン/オフの目的で他のクロックサイクルを使用することも可能である。更に他の方法として、選択された一個のブロックまたは複数のブロックに対して動力線をオン/オフする方法もある。

本発明では機能ユニットをオン/オフするための如何なる電子的手法をも意図するものである。相補型金属酸化膜半導体（CMOS）回路では、好ましい手法は (1) オフにされている機能ユニットへのクロック信号を停止させるか、(2) オフにされている機能ユニットへの入力を変化させない、かのどちらかである。ど

ちらの手法でも、機能ユニットをオフにするという、所望の結果が得られる。後に、機能ユニットはそれをオフにした手法の逆の手法を用いることによってオンにできるのである。

本発明は、状態変化が起こらない限り回路によって消費される電力は常に無であるという CMOS の特性を十分に利用しているが故に、CMOS 回路に特に適用性のあるものである。コンピュータ・プログラムの実行中のある時点で使用されていない機能ユニットの状態変化を抑制することにより、本発明は目的とする発熱の減少及び電力消費量の削減を達成し得るものである。パワーベースをオン/オフする必要はなく、制御用に占めるチップ面積も最小限で済むものである。

図面の簡単な説明

本発明の理解を容易にするために、本文と共に下記の図面を参照されたい。

図 1 は本発明に基づいて一個のダイ 102 上に製造されたマイクロエレクトロニクス装置 100 の代表的な機能ユニットを示すフロアプランの高レベルブロック図である。

図 2 は本発明の高レベルオペレーションステップを示す高レベルフローチャートである。

図 3 は本発明に基づく機能ユニットの代表的オペレーションを示す 4 つのトレースをグラフしたものである。

図 4 はゲート付き制御信号を持つシステムクロックを使用しての、機能ユニットをオン/オフにする本発明の実施例を示すブロック図である。

図 5 は機能ユニットへの入力の状態を制御することによって機能ユニットをオン/オフにする本発明の実施例を示すブロック図である。

図 6 は各マシンコード命令のコンパイルと共に監視情報 402 がコンパイラによって生成される、本発明の実施例を示すブロック図である。

図 7 は監視情報 402 が、命令解説ユニット及び、マシンコード命令によってオペレーションを行なう命令実行ユニットによって生成される、本発明の実施例を示すブロック図である。

図 8 は本発明に従って最大の電力節約を達成するためにマシンコード命令を並び替えるために使用される最適化コンパイラの、本発明の実施例を示すブロック図である。

図 9 は本発明の実施例で使用される代表的マイクロエレクトロニクス装置 100 を示すフロアプランの高レベルブロック図である。

図 10 は本発明に従ってラップトップまたはパームトップ・コンピュータへ適用された電力最適化スキームを示すブロック図である。

発明の詳細な説明

本発明はマイクロエレクトロニクス装置を制御するコンピュータ・プログラムの実行の必要に応じて機能ユニットをオン/オフできるように、マイクロエレクトロニクス装置の各機能ユニットに供給される電力を選択的に制御するシステム及び方法である。実行中のプログラム・ステップの要請に従った、機能ユニットのダイナミックなオン/オフ化により、機能ユニットの消費電力量が大幅に削減（10%～30%）され、その結果マイクロエレクトロニクス装置の発熱量及び電力消費量の大幅な削減が達成される。本発明では、マイクロエレクトロニクス装置の発熱及び電力消費量の大幅な削減を齎す。従って、非常に望ましい結果として、ヒートシンクの必要性が削減され電池放電サイクルが長くなるのである。更に、パワーバスの線幅も縮小でき、その結果、VSLIチップでは面積が大幅に節約される。

図 1 は本発明に基づいた、代表的なマイクロエレクトロニクス装置のフロアプランである。図示される如く、参照番号 100 で一般的に示されるマイクロエレクトロニクス装置には、例えばシリコンで作成されたダイ 102 が含まれ、それにはダイ 102 上に製造された電子回路のアーキテクチャを構成する種々の機能ユニットが形成されている。図示される如く、代表的な実施例中のこれらの機能ユニットには次のものが含まれる：システムクロック 104、中央処理装置（CPU）106、キャッシュ制御ユニット（CCU）108、浮動小数ユニット（FPU）110、整数ユニット（INT）112、及びメモリ制御ユニット（MCU）114である。図 1 に示され

タイムフレーム中、スイッチング能力が供給され、その結果、該当するマシンコード命令が機能ユニットに送出された時にこの機能ユニットが完全に機能できる。従って、この第二ステップに於いては、本発明で、該当する機能ユニットはマシンコード命令を実行するのに必要とされる充分前に起動され、その結果実行が行なわれるべき時に機能ユニットが完全に動作可能である。

CKPWRUP 用にはどのクロックサイクル量でも選択できる。本発明の好ましい実施例では、一個の 1/2 クロックサイクルが使用される。換言するならば、送出されたマシンコード命令の実行のために機能ユニットが必要とされる前、一個の 1/2 クロックサイクル内で、機能ユニットが起動される。従って、マシンコード命令の実行のために必要とされる寸前まで機能ユニットはオフ状態すなわち「待機」モードの状態（すなわち、電力消費量ゼロの、「無」入力状態をいう）にある。

第三ステップあるいはブロック 206 に於いて、本発明では、事前に選択されたクロックサイクル期間（便宜上クロックパワーオン CKPWRON と呼ぶ）中、機能ユニットにスイッチング能力が継続的に供給される。CKPWRON は送出されたマシンコード命令の実行のために機能ユニットが要する時間（クロックサイクル数）である。斯かるものとして、CKPWRON には送出された命令を受け取るのに要するクロックサイクル、及び、この命令の実行を完了させるための機能ユニットの遅延時間に等しいクロックサイクルが含まれている。

本発明の最後である第四ステップあるいはブロックは参照番号 208 で示される。この第四ステップに於いては、コンピュータ・プログラムのマシンコード命令の実行である、要求されたタスクを機能ユニットが完了した後、事前に選択されたクロックサイクル期間（クロックパワーダウン、CKPWRDN と呼ぶ）の後、スイッチング能力は機能ユニットに供給されない。すなわち、機能ユニットは必要なタスクを実行した後、オフにされる（停止される）のである。斯くして、機能ユニットはその必要がなくなった後もオンすなわちアクティブであることはない。CKPWRDN の代表的な値は一個の 1/2 クロックサイクルである。斯かる起動/停止実施例は、メモリ、状態の保存、等を必要とする機能ユニットに適切なものであるが、他の手法も充分に本発明の範囲内である。

る機能ユニットはあくまでも説明のためのものである。本発明はマイクロエレクトロニクス装置 100 のダイ 102 上の機能ユニットの如何なる配置をも考慮の対象とする。例えば、マイクロエレクトロニクス装置 100 には論理機能ユニットの他にメモリを含むこともできる。本発明は単一の半導体ダイまたは基板で実現される現在のコンピュータ・アーキテクチャも従来のコンピュータ・アーキテクチャをも考慮の対象とする。

図 1 に示す如く、論理ユニット 116 はマイクロエレクトロニクス装置 100 の一部である。下記の詳細の説明にあるように、論理ユニット 116 はシステムクロック 104 と共に動作し、本発明の一実施例に従った機能ユニットへのクロック信号の供給を何時オン/オフするかを判別し、そして実際にオン/オフを行なう。

図 2 は本発明のシステム及び方法の高レベルオペレーションを示す高レベルフローチャートである。図 2 を参照するならば、本発明は 4 つの基本的オペレーション・ステップを用いる。

最初に、本発明ではマイクロエレクトロニクス装置 100 で実行されている（制御している）コンピュータ・プログラムのマシンコード命令（ソースコードから翻訳されたもの）が解放される（さもなくば評価される）。この最初のステップに於いて、本発明では、マシンコードが監視され、実行のために送出された次の命令を実行するためにはどの特定の機能ユニットが必要であるかを判別する。送出される次のマシン命令を実行するために機能ユニットが必要とされる前、事前に選択されたクロックサイクル量（便宜上 CCA と呼ぶ）が、次のマシンコード命令が送出されるか実行される前に、次のマシンコード命令を調べるために本発明で使用するタイムフレームとして使用される。この CCA によって、本発明では、適切な論理的ステップが取られ、機能ユニットを適時にオンすることが可能となり、その結果、送出されたマシンコード命令を順序通りに実行することができる。この第一ステップまたはブロックは参照番号 202 で示されている。

ステップまたはブロック 204 に於いて、本発明では、送出されたマシンコード命令を実行するために機能ユニットが準備完了の状態になる、事前に選択されたクロックサイクル期間（便宜上クロックパワーアップ、CKPWRUP と呼ぶ）の長さだけ前に、機能ユニットからスイッチ抑制制御信号が取り除かれる。CKPWRUP

電源バスの結合/切り離しも考慮の対象となる。VDD と各機能ユニットの間に接続される電源スイッチを追加することによって、上記の CKPWRON 制御信号その他を使用して電源スイッチ（例えば FET）を制御することにより、機能ユニットへの電源をオン/オフにすることができる。この電源停止のケースに於いてはある量の DC 電力は電源スイッチを通して消費されるが、機能ユニットが切り離されているので全体的な電力節約が生じる。

本発明のこれら 4 ステップの最終的な結果として、マイクロエレクトロニクス装置 100 が消費する電力の大幅な削減が達成される。この削減は、不要の時には機能ユニットはオンでない、という事実に基づく。下記で詳細に説明される如く、CMOS 技術が使用される故、機能ユニットが状態を変化させる（すなわち、スイッチの作動中）場合にのみ電力の消費が起こる。機能ユニットの状態変化が抑制されると該当する機能ユニットは「オフ」であるので、その機能ユニットが消費する電力は僅少である。斯くして、オフの機能ユニットは電力を消費せず、従って電力消費の削減が達成される。

電力消費量の削減が生じるので、ダイ 102 およびそれに付随するマイクロエレクトロニクス装置 100 のパッケージング（図示せず）の発熱量も削減される。更に、電池が使用される場合、動作時間当たりに必要とされる電池の大きさも縮小される。そして更に、電力消費量の削減によって、電源バスの線幅も縮小できる。

ここでは、図 2 のフローチャートに従った本発明の代表的な動作例を図 3 を参照して説明する。図 3 に、各トレースが横軸において同じタイムフレームを持つ 4 個のトレースを示す。各トレースの縦軸は信号の振幅、あるいは機能ユニットの状態、あるいは下記に説明する、本発明に基づくオペレーションの状態を示す。最上トレース 301 は波影 302 を示し、この波影はマイクロエレクトロニクス装置 100 を構成する全ての機能ユニット用のクロックであるシステムクロック 104（図 1）の出力である。二つのシステムクロックはお互いに 180 度位相の差がある。

本説明用に選ばれた図 3 の代表的機能ユニットは浮動小数ユニット（FPU）110 である。下記に実施例の部分で説明する如く、多くのコンピュータシステムで FPU

110 は時間的に 約 10% だけしか使用されないものである。従って、後により明らかになる如く、FPU 110 に関しては、本発明は大幅な発熱及び電力消費量の削減を達成するものである。

第三トレース 305 は二つの浮動小数オペレーションの実行を示す。A と印される第一の浮動小数オペレーションはボックス 306 で示される。ボックス 306 は浮動小数オペレーション A を実行するのに必要なクロックサイクルの数を示すものである。同じく、ボックス 318 で示される浮動小数オペレーション B も同様にその浮動小数オペレーションを実行するために必要なクロックサイクルの数を示す。すなわち、浮動小数オペレーション A を実行するためには 5 Ω クロックサイクルが必要であり、浮動小数オペレーション B を実行するためには 2 クロックサイクルが必要である。これらのタイムフレームは言うまでもなく単に説明のためのものである。実際に於いては、浮動小数オペレーションの実行に何十のクロックサイクルを要することもある。更に、各浮動小数オペレーションの間に数千のサイクルが経過することもある。しかしながら、図 3 では紙面の都合上それを図形で表すことはできない。従って、図示の目的上、浮動小数オペレーション A 及び B 間の間隔と、各オペレーションの低さは便宜上縮小されている。

図 3 の第四トレース 307 では、浮動小数オペレーション A 及び B のそれぞれに対して行なわれる 4 つのステップを図示する。浮動小数オペレーション A に対して、CCA 期間は 3 個の 1/2 サイクルを要するものとして表わされている。この CCA 期間は参照番号 308 で表わされている。浮動小数オペレーション A の CKPWRUP 期間は一個の 1/2 クロックサイクルで、時間ブロック 310 に示されている。浮動小数オペレーション A の実行に要する時間は時間ブロック 312 で表わされる CKPWRON 期間に相当する。最後に、CKPWRON 期間は 1/2 クロックサイクルであり、これは時間ブロック 314 で表わされている。

浮動小数オペレーション A を実行する FPU 110 の実際のオペレーションは、本発明に基づいて次のように制御される。すなわち、トレース 303 の参照番号 304 で示されるクロックサイクルの期間に、システムクロック 302 を FPU 110 のクロック入力へ供給することにより制御される。トレース 303 で明らかな如

く、FPU クロック入力で供給されるシステムクロックは、浮動小数オペレーション A の実行の開始より 1/2 クロックサイクル前に供給され、浮動小数オペレーション A の完了後 1/2 クロックサイクルの期間オン状態を維持する。

浮動小数オペレーション B の場合にも同じような例が示されている。ここでもトレース 307 を参照して説明するならば、CCA 期間は時間ブロック 320 で示され、説明の便宜上この期間は 3 個の 1/2 サイクルを要するものとする。CKPWRUP 時間ブロック 322 は 1/2 クロックサイクルであり、CKPWRON 時間ブロック 324 は 2 クロックサイクルである。この 2 クロックサイクルは浮動小数オペレーション B を実行するために FPU 110 が要する時間である。最後に、CKPWRON 時間ブロック 326 は 1/2 クロックサイクルである。

本発明のオペレーションの結果要される省電効果を図 3 に示す。すなわち、トレース 303 を参照して言うならば、FPU クロック入力に対して適用されるクロック信号が存在する時のみ、FPU 110 の状態は変化できる。換言すれば、この例の FPU 110 は期間 304 及び期間 316 に於いてのみ動作するもので、それ以外の時間等では動作しない。斯くして、本発明に基づいて如何に省電効果が起こるか

が明らかである。斯くして、マイクロエレクトロニクス装置 100 の全ての機能ユニットは本発明によって同様に制御されており、その結果最新のマシンコード命令の実行に必要な機能ユニットだけがスイッチオンされる。他の全ての不要な機能ユニットはオフにされ、斯くして、本発明によれば大幅な省電効果が達成されるのである。

本発明は CMOS 集積回路に対して特に適用性を持つものである。その理由は、CMOS 回路はその状態が変化する時のみ電力を消費するからである。すなわち、スイッチングが行なわれる時のみ電力の消費が起こる。過渡あるいは交流 (AC) ドメインの観点からは、一つのノードをスイッチするために消費される電力は CV^2 に比例する。ただし、 C はスイッチされるノードの容量 (farad) であり、 V はレール VSS からレール VDD の電圧である。定常あるいは直流 (DC) の観点からは、消費される電力は、製造プロセス変動および入力反転率 (slew rate) に左右されるが、5-15% となる。

CMOS を BiCMOS と比較するならば、後者に於いては、デバイスのベースを

通しての「低」入力抵抗と、使用される電流制御機構のために、バイポーラ回路の電力消費はオフにし得ない。これと対照的に、CMOS (そして一般的に MOS デバイス) はゲートオキサイドの電気的絶縁特性のため、ゲート電極で高入力インピーダンスを持つ。

CMOS をバイポーラトランジスタ回路とも同様に比較せねばならない。バイポーラトランジスタはスイッチングが行なわれているか否かに関わらず電力を消費する。すなわち、スイッチングが全く行なわれていない状態でも回路中で電流が流れている。これが、CMOS の低電力消費と電圧のスケールダウン (例えば携帯用コンピュータの電池) が可能であるために CMOS 技術が集積回路で優位性を認められる理由である。

本発明は特に CMOS 回路に適用性のあるものであるが、BiCMOS、NMOS、MESFET、12L、GaAs 回路にも同様に適用し得るものである。

本発明は、機能ユニットの状態を変化させるべきか否かを制御するための如何なる適切な手法も考慮の対象とするものである。状態変化の制御によって機能ユニットがオン/オフされ、本発明に従って所望の省電効果が達成されるのである。

図 4 を参照するならば、本発明に従った機能ユニットの状態を制御するための代表的な手法が示されている。この手法では、該当する機能ユニットへのシステムクロック信号 302 の供給が制御される。機能ユニットは本発明がシステムクロック信号 302 を供給する時のみ電力を消費する。図 4 を参照するならば、本発明の論理ユニット 116 は、下記で説明する適切な手法のどれかによって、バス 402 を通じてのマシンコード命令の送出を (例えば、解説により) 評価する。バス 402 によって供給される情報によって論理ユニット 116 は、本発明に従って種々の機能ユニットを何時オンにし、何時オフにするべきかを知ることができる。

システムクロック 104 はシステムクロック信号 302 を論理ユニット 116 に供給する。説明の便宜上、81、82、83、84 と印された 4 個の機能ユニットが図示されている。参照番号 406 は機能ユニット 1 に対応し、参照番号 410 は機能ユニット 2 に対応し、参照番号 414 は機能ユニット 3 に対応し、参照番号 418 は機能ユニット 4 に対応する。各機能ユニット 406、410、414、及び 418 にはそれぞれ対応するク

ロック入力線 404、408、412、及び 416 が存在する。

オペレーションに於いて、論理ユニット 116 はオンにされる機能ユニットの適切なクロック入力線上のシステムクロック信号 302 を供給する。その機能ユニットがオフにされる可き時、論理ユニット 116 はシステムクロック 302 の供給を停止する。クロック信号なしには機能ユニットは状態を変化し得ないので、クロック信号 302 を受けない機能ユニットは電力を消費しない。斯くして、クロック信号 302 をオン/オフすることによって機能ユニットをオン/オフすることができるのである。

図 5 にもう一つの、機能ユニットをオン/オフにさせる手法を示す。図 5 を参照するならば、この実施例では機能ユニット 406、410、414、及び 418 はこれらの機能ユニットの入力の状態変化を制御することによってオン/オフされる。オフである機能ユニットの入力の状態を変化させないことにより、この手法は斯かる機能ユニットを効果的にオフにさせるのである。オンである機能ユニットの入力のみがその状態を変化し得る。

図 5 にこの手法を達成する一実施例を示す。入力がスイッチしないようにする手法の一つは、公知のゲートラッチデバイス (例えば、ラッチ 504、510、516、及び 522) を使用して、先行する入力 (502 で示す) をラッチして保持することである。ラッチ 504、510、516、及び 522 は制御ライン 508、514、520、及び 526 を通じてラッチされた入力をバスするように制御されている。当業者に明らかな如く、制御ライン 508、514、520、及び 526 は信号 402 に基づいて論理ユニット 116 によって生成できるものである。その他の方法として、入力を制御信号と論理的に AND することによって、入力を高インピーダンス値に強制することができる。他にも、様々な機能的に同等な手法が当業者に明らかであろう。

同様の構造とオペレーションが機能ユニット 410、機能ユニット 414、及び機能ユニット 418 に適用可能である。従って、それらの説明は不要の故、省略する。

本発明では、論理ユニット 116 によって機能ユニットをオン/オフにする他の手法も考慮の対象となる。図 4 及び 5 の実施例はあくまでも説明のためのものである。

本発明では、論理ユニット 116によって使用される線402上の監視情報を得るための履つかの手法を利用して、マシンコード命令の実行中各機能ユニットをいつオン/オフにするのかを判別することができる。

代表的な手法を図6に示す。参照番号602で示される、ソースコードの形のコンピュータプログラムがコンパイラ604に供給され、ソースコード602がマシンコードに翻訳される。コンパイラ604はソースコードの翻訳後、マシンコード命令を生成する。説明の目的で、6個のマシンコード命令、606、610、614、618、622、及び626が示されている。各マシンコード命令には、対応する機能ユニットデータブロックがあり、このデータブロックにはバス402を通して論理ユニット116に供給される監視情報が含まれている。一つのマシンコード命令に対応する機能ユニットデータは示すとして、本発明に従って論理ユニット116がマイクロエレクトロニクス装置100を動作し得るようにさしめるのである。

図7に線402で監視情報を供給する別の実施例を示す。ここでは、本発明の典型的な応用である限定命令セット計算機(RISC)スーパースカラマイクロプロセッサの実際のオペレーションは次のように監視情報を線402で供給する。ソースコード・コンピュータプログラム602がコンパイラ702に供給され、コンパイラはマシンコード命令704を生成する。マシンコード命令は最初に命令解釈ユニット(IDU)に供給される。IDU706からのデコードされた命令は命令実行ユニット(IEU)708に供給される。

順不同の実行を行なうに際し、IDU706及びIEU708は解説された情報402を図示のように供給する。この解説された情報はデータ依存性情報、命令送出情報、等の形をとることができる。この情報は命令スケジューリング論理から取得可能である。命令スケジューリング論理の一例は「スーパースカラRISC命令スケジューリング」、出願番号07/860,719号(代理人整理番号SP035)という題名の同一承継人の出願に係る同時係属中の特許出願に説明されている。

図8に、本発明で達成される省電効果を最大化するようにマシンコード命令を順序付けする最適化コンパイラ802を使用するところの本発明の一実施例を示す。この省電効果はソースコードから得られたマシンコード命令の順序を変えることによって達成される。この順序変えは、コンピュータプログラム602を実行

するに当たりマイクロエレクトロニクス装置100による電力消費の削減を最適化するように為される。

図8は所かる最適化を示す代表的ブロック図である。図示せる如く、最適化コンパイラ802は順序が変更されたマシンコード命令の形で出力を生成する。説明の便宜上、順序変更の概念を示すために、図6に於ける機能ユニットと対応するマシンコード命令と同じマシンコード命令が使用されている。マシンコード命令と、対応するFUDが並べ変えられることは明らかである。この例の目的は、電力消費の削減という点で、順序変更が最適化を達成することを示すことである。

並べ変えられたマシンコード命令は次に機能ユニットに対して送られる。機能ユニットは図6に示されるオペレーションに従って論理ユニット116によって制御される。コンパイラ802が、命令1の後、履つかのサイクル分、一個または複数の機能ブロックが使用されていないと判別すると、コンパイラ802は無効化あるいはパワーダウン信号をそれらの機能ブロックに送り、一つあるいは複数のブロックが将来必要になるまでクロックを止めるか、入力をブロックするか、電源を止めるか、を行なうことができる。

本発明から期待できる省電効果を示すために、次に実施例のマイクロエレクトロニクス装置100を示す。これは単に説明の目的で示すものであるが、本発明が如何にして大幅な省電効果を実現するかを示すものである。

本発明で達成可能な省電効果の代表的な値の範囲を示すために、図9のフロープランを有する機能ユニットを持つマイクロエレクトロニクス装置100が使用される。この実施例では、7Wのチップに於いて代表的な利用度と省電効果を表1に示す。全体的なパワーダウン省電効果は46%である(2.3/5)。

機能ユニット	ワット量	利用度(%)	パワーダウン省電
浮動小数	1.5	10	1.35
整数	1.0	90	0.10
メモリ	2.0	75	0.50

グラフィックス	0.5	30	0.35
削減合計			2.30W

表 1

本発明の「選択的パワーダウン」手法は同一承継人の出願に係る、同時係属中の特許出願である「ハードウェア・エミュレーション・アクセラレータ及び方法」、出願番号07/831,272号(代理人整理番号SP046)で公開された高度に最適化された機能ユニット/モジュールにも容易に適用できる。この同時係属中の特許出願の開示はここに参照することによって含まれているものとする。

ラップトップ・ノートブック及びパームトップコンピュータの最適化手法

上述の如く、本発明は大幅な省電効果を実現するものである。これはユーザにとっては重量が非常に重要な評価項目であるラップトップ及びパームトップコンピュータに大きな影響を及ぼすものである。重量が0.25kgでも軽いと、ユーザは重いコンピュータよりもこの軽いコンピュータを選ぶことが珍しくない。大幅な重量の削減という点でバッテリー技術において進歩が見られるが、省電は一定の電池および充電量に於いてより長い寿命を意味することから、電力消費量の削減は如何なる削減でも非常に重要である。

図10は本発明に従った使用可能な手法のブロック図である。図示せる如く、ラップトップまたはパームトップコンピュータを操作するに当たり、ユーザは長い電池寿命の選択肢を選ぶことができる。これは1001で示されている。この選択肢が選ばれ、本発明では参照番号1004で示される最適化スキームが使用される。このスキームはマイクロエレクトロニクス装置の電力消費量を最少にする役割を果たす。これは、マシンコード命令の順序を変え、特定の機能ユニットを他の機能ユニットと別個のものとして動作させる、等、様々な形をとることができる。

この手法は、ラップトップまたはパームトップコンピュータが通常の電源から離れた所で長時間操作されるような場合、すなわち、完全に電池で駆動される場合、特に有効である。ユーザはこの場合、ラップトップまたはパームトップコンピュータの操作時間を最大限に伸ばしたいが、この最適化手法によってこれが達成し得るのである。

本発明の種々の実施例が説明されたが、これらはあくまで説明の目的であって、もとより本発明を限定するものではない。従って、本発明の範囲は上記のどの実施例によっても限定されるのではなく、下記の特許の請求範囲及びそれと同等のものに基づいて定義されるべきである。

図 1

116 論理ユニット
104 システムクロック

図 2

202 マシンコード命令を検査し、送出された命令を実行する前、事前に選択されたクロックサイクル量 (CCA) 前に、命令の実行に必要な機能ユニットを判別する。
204 機能ユニットが送出されたマシンコード命令を実行する準備完了状態になる以前に、事前に選択されたクロックサイクル期間 (CKPWRUP)、機能ユニットに電力を供給する。
206 送出されたマシンコード命令を実行するために機能ユニットによって必要とされる、事前に選択されたクロックサイクル期間 (CKPWRDN) 中、機能ユニットに電力の供給を継続する。
208 マシンコード命令が実行された後、且つ事前に選択されたクロックサイクル期間 (CKPWRDN) の後、機能ユニットには電力の供給が行なわれない。

図 3

302 システムクロック
304 FPU クロック入力
305 FPU 実行

図 4

104 システムクロック
116 論理ユニット

626 マシンコード命令 6
614 マシンコード命令 3

図 10

1001 ユーザ、ラップトップコンピュータを起動
1002 ユーザへのプロンプト：正常モードか省電モード
1006 本発明の省電モードなしにコンピュータを操作
1004 本発明の省電モードでコンピュータを操作

図 9

図 5

116 論理ユニット
504 ラッチ

図 6

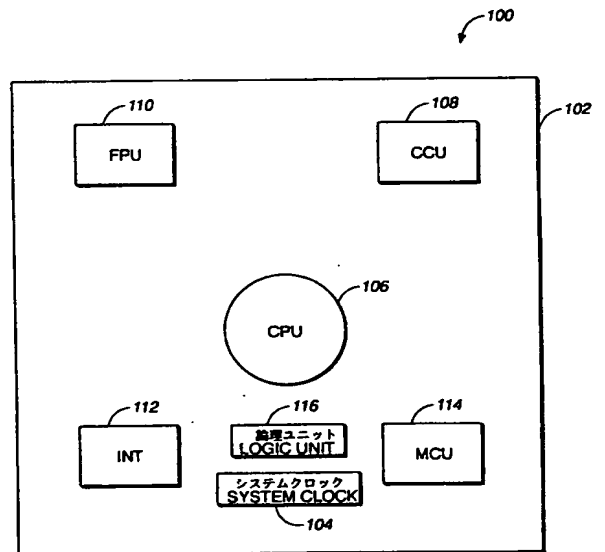
602 ソースコード・コンピュータプログラム
604 コンパイラ
606 マシンコード命令 1
610 マシンコード命令 2
614 マシンコード命令 3
618 マシンコード命令 4
622 マシンコード命令 5
626 マシンコード命令 6

図 7

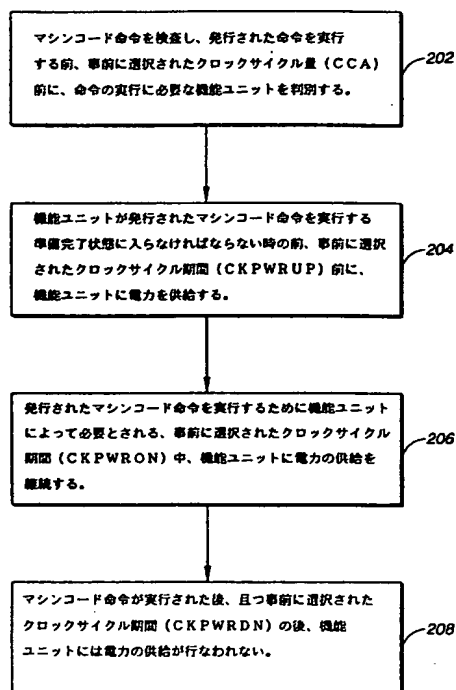
602 ソースコード・コンピュータプログラム
702 コンパイラ
704 マシンコード命令
706 命令解釈ユニット
708 命令実行ユニット

図 8

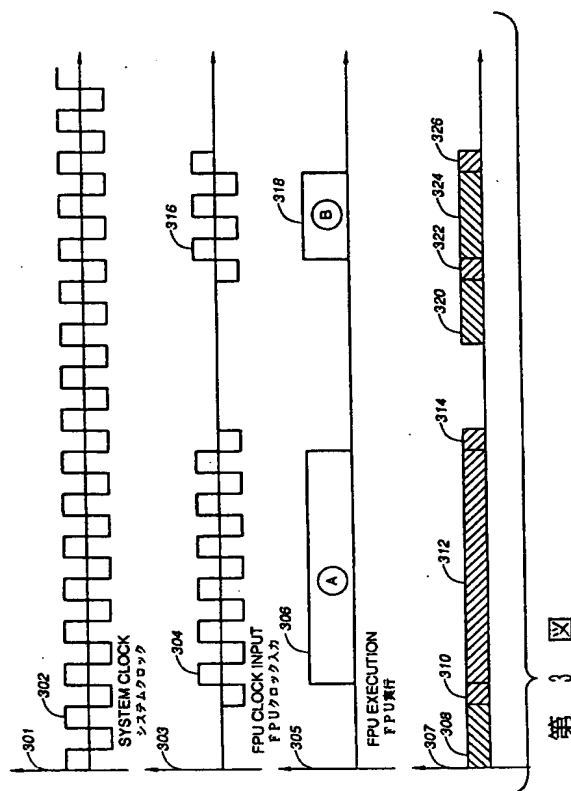
602 ソースコード・コンピュータプログラム
804 最適化コンパイラ
606 マシンコード命令 1
618 マシンコード命令 4
622 マシンコード命令 5
610 マシンコード命令 2



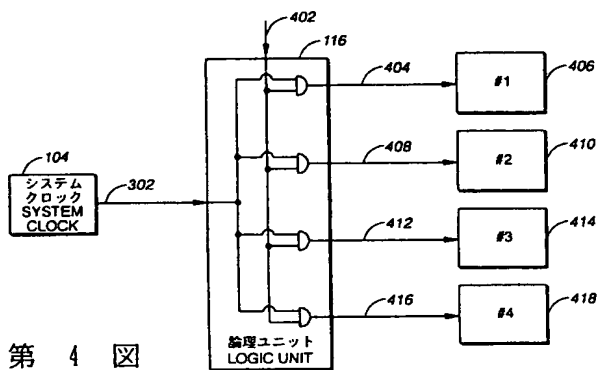
第 1 図



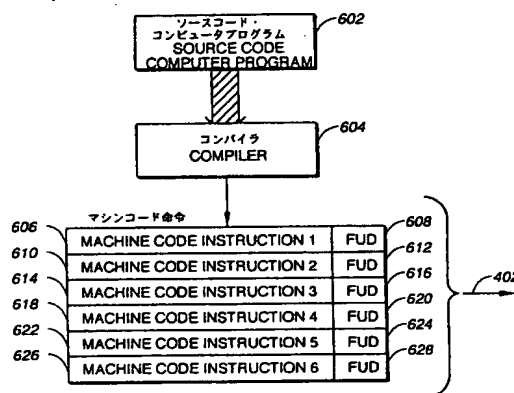
第 2 図



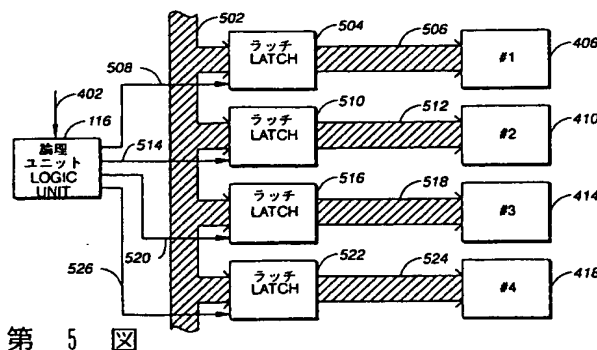
第 3 図



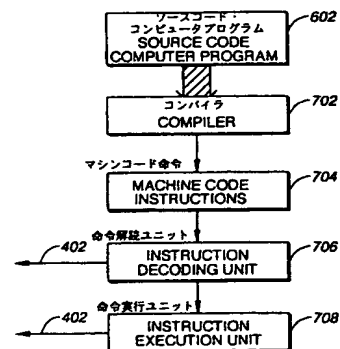
第 4 図



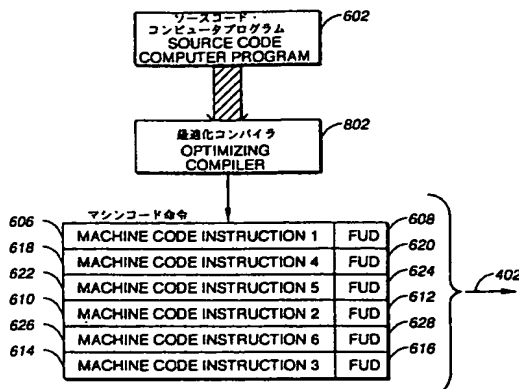
第 6 図



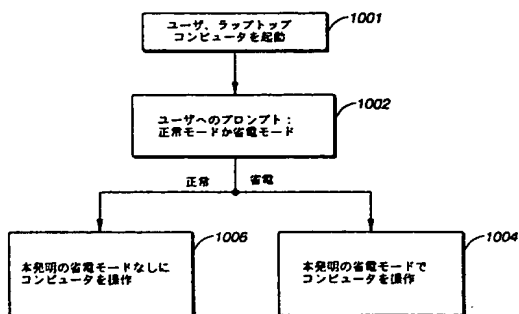
第 5 図



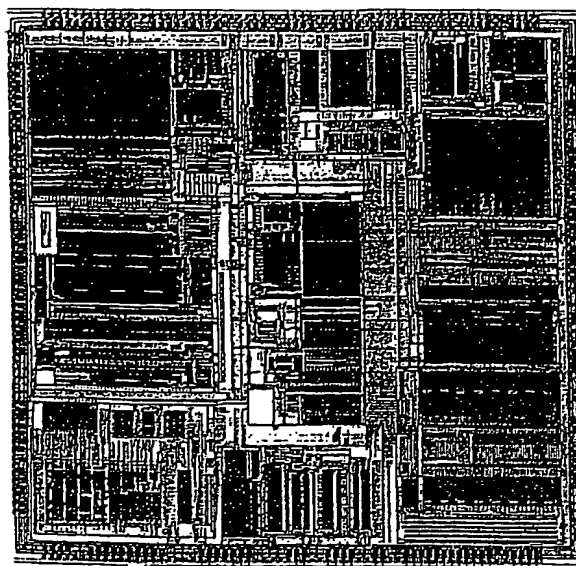
第 7 図



第 8 図



第 10 図



第 9 図

補正書の翻訳文提出書（特許法第184条の8）

平成 6 年 9 月 28 日

特許庁長官 高島 康 殿

1. 特許出願の表示

P C T / J P 9 3 / 0 0 4 1 8

2. 発明の名称

高性能CPU／システム用の選択的パワーダウン

3. 特許出願人

住所 東京都新宿区西新宿2丁目4番1号
 名称 (236) セイコーエプソン株式会社
 代表取締役 安川 英 昭

4. 代理人

(郵便番号 163)
 東京都新宿区西新宿2丁目4番1号
 セイコーエプソン株式会社内
 (9338) 弁理士 鈴木 喜三郎
 連絡先 3348-8531 内線2610~2615 (他1名)

5. 補正書の提出年月日

1994年5月11日

6. 添付書類の目録

補正書の翻訳文

1 通

7. 前記以外の代理人

代理人 (郵便番号163)
 東京都新宿区西新宿2丁目4番1号
 セイコーエプソン株式会社内
 (9572) 弁理士 上柳 雅 彦
 連絡先 3348-8531 内線2610~2615



特許の請求範囲

1. マイクロエレクトロニクス装置 (100)の電力消費と発熱を減少せしめるシステムで、前記マイクロエレクトロニクス装置 (100)はクロック部 (104)で生成されたクロック信号で制御される少なくとも二つの機能ユニット (106, 110, 114, 118)を含み、

(a) ソースコードをマシンコードに翻訳するコンパイラ手段 (504, 702, 802)で、前記のマシンコード中の各命令には対応するデータブロックがあり、そのデータブロックは前記の少なくとも二つの機能ユニットの内どのユニットが前記の命令の実行のために必要であるかを示すものであるコンパイラ手段と、

(b) 検査手段で、前記のマシンコードの実行に関してのオペレーションを実行するのに各機能ユニットを使用する必要性を、事前に選択されたサイクルごとに判別する、前記コンパイラ手段 (504, 702, 802)に依存する検査手段と、

(c) 機能ユニット (106, 110, 114, 118)およびクロック部 (104)に結合され、前記検査手段に依存する論理手段 (116)で、前記の事前に選択されたサイクルごとのクロック信号が、前記のマシンコードの実行に関してのオペレーションを実行するのに必要である機能ユニットにのみ供給されるように、クロックサイクルの供給を制御する論理手段、

とで構成され、該当するマイクロエレクトロニクス装置の電力消費と発熱とを、マイクロエレクトロニクス装置に含まれる機能ユニット (106, 110, 114, 118)へのクロック信号の供給を制御することによって、減少せしめることを特徴とするシステム。

2. マイクロエレクトロニクス装置の電力消費と発熱を減少せしめるシステムで、

(a) システムクロック信号を生成するクロック手段 (104)と、

(b) 第一論理手段 (116)で、前記検査手段 (504, 702, 802)に結合し、且つ前記のマシンコード命令の実行以前に、該当するマシンコード命令を実行する前記の機能ユニットに事前に選択された量のシステムクロックサイクルを供給する、第一論理手段と、

(c) 第二論理手段 (116)で、前記検査手段および前記の第一論理手段に結合し、前記の実行によって必要とされる期間にのみ前記のシステムクロックを前記の機能ユニットに供給し、新しくして前記マイクロエレクトロニクス装置の電力消費と発熱を減少せしめる、第二論理手段、

とで構成されていることを特徴とするシステム。

3. マイクロエレクトロニクス装置の電力消費と発熱を減少せしめるシステムで、前記マイクロエレクトロニクス装置はスイッチ的に電源に結合されている少なくとも二つの機能ユニット (106, 110, 114, 118)を含み、

(a) 事前に選択されたサイクルに基づいて、マシンコード命令 (704)の実行に関連して、オペレーションを実行する各機能ユニット (106, 110, 114, 118)の使用の必要性を判別する検査手段 (504, 702, 802)と、

(b) 前記検査手段 (504, 702, 802)に結合されている一個以上の電力スイッチと、

(c) 前記検査手段、少なくとも二つの機能ユニット、および一個以上の電力スイッチに結合され、前記マシンコード命令 (704)と通信し、電源から少なくとも二つの機能ユニットへの電力の供給を制御する論理手段 (116)で、前記の事前に選択されたサイクルごとの電

(b) マシンコード命令のソース (504)と、

(c) 前記のマシンコード命令の第一グループを実行する第一機能ユニット (112)と、

(d) 前記のマシンコード命令の第二グループを実行する第二機能ユニット (114)で、各マシン命令には、マシンコード命令を実行するために前記第一機能ユニットまたは前記第二機能ユニットが必要であるか否かを示すデータブロック (504, 512, ... 528)が対応する第二機能ユニットと、

(e) 前記のデータブロックを評価するために構成された論理手段 (116)で、且つ前記第一機能ユニットが前記第一グループのマシンコード命令を実行している時に前記システムクロック信号 (302)が前記第一機能ユニットに供給されるようにせしめる論理手段で、前記第二機能ユニットが前記第二グループのマシンコード命令を実行している時に前記システムクロック信号 (302)が前記第二機能ユニットに供給されるようにせしめる論理手段、

とで構成されていることを特徴とするシステム

4. マイクロエレクトロニクス装置の、少なくとも二つの機能ユニットの各ユニットにシステムクロック信号を供給するシステムで、前記システムはマシンコード命令の流れに依存し、

(a) 前記機能ユニット (106, 110, 114, 118)の内どの機能ユニットがマシンコード命令を実行するかを判別するために、マシンコード命令の実行以前、事前に選択されたシステムクロックサイクル分前に、各マシンコード命令を検査する検査手段 (504, 702, 802)で、各マシンコード命令には、そのマシンコード命令を実行するためにどの機能ユニットが必要とされるかを示す、対応するデータブロック (504, 512, ... 528)が存在する検査手段と、

力は、前記マシンコード命令の実行に関連してオペレーションを実行する機能ユニットにのみ供給されるような論理手段、

とで構成されることを特徴とするシステム。

5. 特許の請求範囲第4項のシステムで、前記検査手段はソースコード前記論理手段 (116)で解釈可能なマシンコード命令に翻訳するコンパイラ手段 (504, 702, 802)で構成されていることを特徴とするシステム。

6. 特許の請求範囲第4項のシステムで、前記検査手段は、命令を解読し解読された情報を前記論理手段 (116)に供給する命令デコーダ部 (706)で構成されることを特徴とするシステム。

7. マイクロエレクトロニクス装置の電力消費と発熱を減少せしめるシステムで、前記マイクロエレクトロニクス装置はそれぞれの入力信号を受け取る少なくとも二つの機能ユニット (106, 110, 114, 118)を含み、

(a) 事前に選択されたサイクルに基づいて、マシンコード命令 (704)の実行に関連してオペレーションを実行するために各機能ユニットの使用の必要性を判別する検査手段 (504, 702, 802)と、

(b) 前記検査手段と、それぞれの入力スイッチと、少なくとも二つの機能ユニットに結合されている、一個以上の入力スイッチ (504, 510, 516, 522)と、

(c) 前記検査手段、少なくとも二つの機能ユニット、および前記の一個以上の電力スイッ

チに結合され、マシンコード命令 (704) と通信する論理手段で (114)、少なくとも二つの機能ユニットに対してそれぞれの入力信号の起動と停止を制御し、且つマシンコード命令の実行に関連してオペレーションを実行するのに必要な各機能ユニットは前記の、事前に選択されたサイクルに従ってのみ起動されるような論理手段、

とで構成されることを特徴とするシステム。

1. 特許の請求範囲第7項のシステムで、前記検査手段はソースコードを前記論理手段 (114) で解釈可能なマシンコード命令に翻訳するコンパイラ手段 (604, 702, 802) で構成されていることを特徴とするシステム。

9. 特許の請求範囲第7項のシステムで、前記検査手段は、命令を解釈し解読された情報を前記論理手段 (114) に供給する命令デコーダ部 (704) で構成されていることを特徴とするシステム。

10. 複数の機能ユニット (404, 410, 414, 418) を含むマイクロエレクトロニクス装置の電力消費と発熱を減少せしめる方法で、且つマシンコード命令の流れの中からひとつのマシンコード命令を実行することに関連してオペレーションを実行するために、機能ユニットが必要な場合にのみその機能ユニットに電流を流す方法で、所かる方法は

(1) 各マシン命令ごとに、各マシン命令を実行するためにどの機能ユニットが必要であるかを判別するために、マシンコード命令の流れを評価するステップと、

(2) 実行以前の、事前に選ばれたサイクル時間の長さで、オペレーションを実行するため

に前記の必要とされる機能ユニットに電力を供給するステップと、

(3) 前記のマシンコード命令の実行に必要な期間だけ、ステップ (1) に従って電力の供給を継続するステップと、

(4) 各マシンコード命令ごとにステップ (1)-(3) を繰り返し、斯くしてマイクロエレクトロニクス装置の電力消費と発熱を減少せしめるステップ、

とで構成されていることを特徴とする方法。

11. 特許の請求範囲第10項の方法で、電力を供給するステップ (1) および (3) は機能ユニット (404, 410, 414, 418) に電源電圧を供給するステップで構成されていることを特徴とする方法。

12. 特許の請求範囲第10項の方法で、電力を供給するステップ (1) および (3) は機能ユニット (404, 410, 414, 418) にシステムクロック信号を供給するステップで構成されていることを特徴とする方法。

13. 特許の請求範囲第1項のシステムで、前記のマシンコード (704) の順序を変える最適化手段 (802) で構成され、斯くして電力消費と発熱を減少せしめることを特徴とするシステム。

国際調査報告

PCT/JP 93/00418

I. CLASSIFICATION OF SUBJECT MATTER (If several classifications apply, indicate all)	
According to International Patent Classification (IPC) or to both International Classification and IPC Int. Cl. 5 G06F1/32	
II. FIELDS SEARCHED	
Mikroprozessor Search?	
Classification System	Classification System
Int. Cl. 5	G06F
Dissemination System other than Mikroprozessor Search? to the extent that such Dissemination is indicated in the Fields Search?	
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹	
Category ²	Classifications of Documents, with indication, where appropriate, of the relevant passages ³
X	DE, A, 4 040 382 (HITACHI LTD) 25 July 1991 see column 1, line 65 - column 2, line 3 see column 4, line 41 - column 10, line 57 see column 15, line 52 - column 22, line 18
Y	1, 4, 8, 11
A	6
X	PATENT ABSTRACTS OF JAPAN vol. 12, no. 235 (P-725) 6 July 1988 & JP, A, 63 026 716 (NEC IC MICROCOMPUT SYST LTD) 4 February 1988 see abstract
A	1-3, 10, 13
	6
	-/-
¹ Special categories of cited documents: ¹⁰ ^A Document indicating the general state of the art which is not considered to be of particular interest ^B Document not published as or after the international filing date ^C Document which does not appear to contain abstract or which is cited to indicate the state of the art of another document or other special reason (see remarks) ^D Document relating to the cited document, not considered to be relevant ^E Document published prior to the international filing date but later than the priority date claimed ^F Document published after the international filing date but not yet published in the language of the application, not considered to be of particular interest ^G Document of particular interest the abstract of which is not included in the abstracts of the cited document ^H Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^I Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^J Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^K Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^L Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^M Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^N Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^O Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ^P Document of particular interest the abstract of which is not included in the abstracts of the cited document but which is included in the abstracts of the cited document ² Categories of Documents, with indication, where appropriate, of the relevant passages ³ References to Class No.	
IV. CERTIFICATION	
Date of the Audit Committee of the International Search	Date of Making of the International Search Report
01 JULY 1993	12. 07. 93
International Searching Authority	Signature of Audited Officer
EUROPEAN PATENT OFFICE	BAILLAS A.

Form PCT/ISA/200 (March 1993)

PCT/JP 93/00418

II. DOCUMENTS CONSIDERED TO BE RELEVANT (CONTINUED FROM THE SECOND SHEET)	
Category ²	Classifications of Documents, with indication, where appropriate, of the relevant passages ³
Y	IEEE TRANSACTIONS ON COMPUTERS vol. 37, no. 8, August 1988, NEW YORK US pages 967 - 979 COLWELL R. P. ET AL 'A VLIW Architecture for a Trace Scheduling Compiler' see page 967, right column, line 34 - page 968, left column, line 8
A	5
Y	PATENT ABSTRACTS OF JAPAN vol. 14, no. 253 (P-1054) 30 May 1990 & JP, A, 20 66 616 (NEC CORP) 6 March 1990 see abstract
A	4, 11
	1, 5, 8
	EP, A, 0 284 364 (SEIKO INSTRUMENTS INC) 28 September 1988 see column 2, line 30 - column 5, line 13

Form PCT/ISA/200 (March 1993)

国际调查报告

JP 9300418
SA 71909

This entry lists the patent family members relating to the patent document cited in the above-mentioned international search report.
The numbers are as mentioned in the European Patent Office EPO file as
The European Patent Office is in no way liable for those particulars which are merely given for the purpose of information. 01/07/93

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE-A-4040382	25-07-91	JP-A- 4143819	18-05-92
EP-A-0284364	28-09-88	JP-A- 63240664	06-10-88

EPO Patent No. 9300418

For more details about this entry : see Official Journal of the European Patent Office, No. 12/93

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.